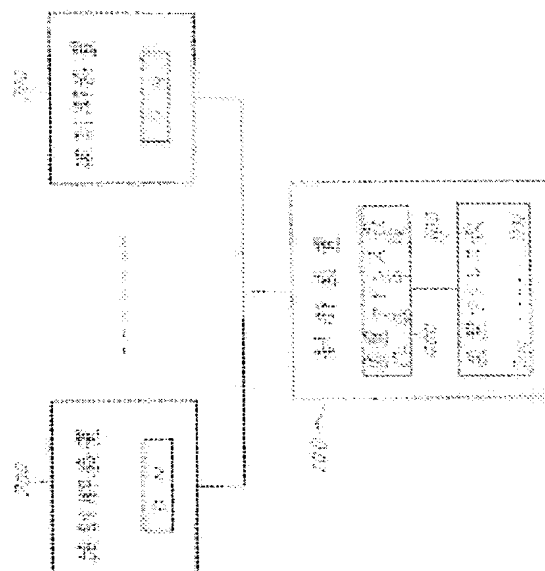


SYSTEM FOR MANAGING DEVICE ADDRESS

Publication number: JP1031249 (A)
 Publication date: 1989-02-01
 Inventor(s): MORIYA IKUNORI; NAKAMURA MASAMI
 Applicant(s): FUJITSU LTD
 Classification:
 - International: G06F13/14; G06F13/14; (IPC1-7): G06F13/14
 - European:
 Application number: JP19870186921 19870727
 Priority number(s): JP19870186921 19870727

Abstract of JP 1031249 (A)

PURPOSE: To eliminate the re-preparation of a device address table each time the construction of a device to be controlled is different by automatically prepare the device address table to register only the device address which is given to the device to be controlled to be really exist until the operation start of a system. **CONSTITUTION:** A device address table preparing means 400 successively designates an arbitrary device address DN before the operation start of the system and tries the transmission of data. When the data transmission is completed, the device address DN is registered to a device address table 300 and when the data transmission is not completed, the device address DN is not registered to the device address table 300. Accordingly, by the time of the operation start of the system, the device address table 300 is automatically prepared to register only the device address DN given to the device 200 to be controlled to be really exist. Thus, a labor to re-prepare the device address table 300 each time the construction of the controlled device is different goes to be reduced.



Data supplied from the **esp@cenet** database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-31249

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月1日

G 06 F 13/14

3 3 0

B-7737-5B

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 装置アドレス管理方式

⑯ 特 願 昭62-186921

⑰ 出 願 昭62(1987)7月27日

⑱ 発 明 者 森 谷 郁 紀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 中 村 正 実 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 柁 貞一

明 細 書

1. 発明の名称

装置アドレス管理方式

(100) に設けることを特徴とする装置アドレス
管理方式。

2. 特許請求の範囲

制御装置(100)と、該制御装置(100)に複式に接続される複数の被制御装置(200)とから構成され、前記制御装置(100)が前記各被制御装置(200)に付与されている固有の装置アドレス(DN)を指定することにより、所要の被制御装置(200)とのみデータの授受を可能とするシステムにおいて、

前記システムの運転開始に先立ち、前記制御装置(100)が任意の装置アドレス(DN)を順次指定してデータの送信を試み、データの送信が完了した場合に該装置アドレス(DN)を装置アドレス表(300)に登録し、データの送信が完了しなかった場合には該装置アドレス(DN)を前記装置アドレス表(300)に登録しない装置アドレス表作成手段(400)を前記制御装置

3. 発明の詳細な説明

(概要)

制御装置と複数の被制御装置とを具備するシステムにおける、制御装置と各被制御装置との間の通信を容易に可能とする装置アドレス管理方式に関し、

制御装置がシステム内の構成を意識すること無く、データの送受信を実行可能とする手段を実現することを目的とし、

制御装置と、制御装置に複式に接続される複数の被制御装置とから構成され、制御装置が各被制御装置に付与されている固有の装置アドレスを指定することにより、所要の被制御装置とのみデータの授受を可能とするシステムにおいて、システムの運転開始に先立ち、制御装置が任意の装置アドレスを順次指定してデータの送信を試み、データの送信が完了した場合に装置アドレスを装置ア

ドレス表に登録し、データの送信が完了しなかった場合には装置アドレスを装置アドレス表に登録しない装置アドレス表作成手段を制御装置に設ける様に構成する。

(産業上の利用分野)

本発明は制御装置と複数の被制御装置とを具備するシステムにおいて、制御装置と各被制御装置とに付与される装置アドレスの管理を簡易化する装置アドレス管理方式に関する。

例えばマルチプロセッサ形式の電子交換システムの、各種プロセッサを試験する試験装置は、各プロセッサを選択して試験データを授受する為に、各プロセッサに付与された装置アドレスを指定する。

かかる装置アドレスは、試験対象とする電子交換システムが変わる度に異なる為、試験装置も対象電子交換システムに応じて装置アドレスの付与状態を認識し直す必要がある。

付与された装置アドレスDNとを照合し、両装置アドレスDNが一致したプロセッサ5のみが試験装置3との試験データ送受信を実行する。

若し試験装置(TST)3が、プロセッサ5に付与されている以外の装置アドレスDNを接続線4に送出しても、試験データの送受信が可能となるプロセッサ5が存在しない為、試験データの送受信は不成功に終わる。

かかる状態の発生を防止する為に、試験装置3は実在するプロセッサ5に付与されている装置アドレスDNが予め登録されている装置アドレス表31を具備し、データの送受信を実行する際に装置アドレス表31を参照し、登録済みの装置アドレスDNを指定して試験データの送受信を実行していた。

従って、試験装置3がプロセッサ5の実装数が異なる電子交換システムと試験データの送受信を行う場合には、装置アドレス表31に装置アドレスDNを登録し直す必要がある。

(従来の技術)

第4図は従来ある装置アドレス管理方式の一例を示す図である。

第4図において、マルチプロセッサ形式の電子交換システムに使用される一台の管理プロセッサ(MPR)1と、m台の呼処理プロセッサ(CPR)2とが、一台の試験装置(TST)3に接続線4により複式に接続され、試験装置3との間で試験データを送受信する。

各管理プロセッサ1および呼処理プロセッサ2(以後プロセッサ5と総称する)には、それぞれ装置アドレスDN(=1乃至n、但し $n=m+1$)が付与されており、試験装置3が任意のプロセッサ5との間で試験データの授受を行う場合には、試験装置3は先ず対象とするプロセッサ5の装置アドレスDNを、接続線4を経由して各プロセッサ5に伝達した後、所要の試験データの送受信を試みる。

各プロセッサ5は、接続線4を経由して試験装置3から伝達される装置アドレスDNと、各自が

(発明が解決しようとする問題点)

以上の説明から明らかな如く、従来ある装置アドレス管理方式においては、試験装置3が試験データを送受信する電子交換システムの構成に適合した装置アドレス表31を予め準備する必要があり、試験データの送受信対象とする電子交換システムの構成が変更となる度に、装置アドレス表31を構築し直す必要があり、装置アドレス表31の準備に多大の労力を必要とする問題点があった。

本発明は、制御装置がシステム内の構成を意識すること無く、データの送受信を実行可能とする手段を実現することを目的とする。

(問題点を解決するための手段)

第1図は本発明の原理を示す図である。

第1図において、100は制御装置、200は制御装置100に複式に接続される複数の被制御装置であり、システムを構成している。

300は、制御装置100内に設けられている装置アドレス表である。

400は、本発明により制御装置100内に設けられた装置アドレス表作成手段である。

(作用)

各被制御装置200は、それぞれ固有の装置アドレスDNを付与されており、制御装置100は特定の装置アドレスDNを指定することにより、指定装置アドレスDNが付与された被制御装置200とのみデータの授受を可能となる。

装置アドレス表作成手段400は、システムの運転開始に先立ち、任意の装置アドレスDNを順次指定してデータの送信を試み、データ送信が完了した場合に、該装置アドレスDNを装置アドレス表300に登録し、データ送信が完了しなかった場合には該装置アドレスDNを装置アドレス表300に登録しない。

従って、システムの運転開始迄に、実在する被制御装置200に付与された装置アドレスDNのみを登録した装置アドレス表300が自動的に作成されることとなり、従来ある装置アドレス管理

手段400として、第3図に示される如き装置アドレス表作成過程を実行する装置アドレス表作成部32が設けられている。

また試験装置3a内には、タイムアウトの為の時間Tを設定するタイムアウトレジスタ(TOR)301、蓄積された時間Tを時間経過と共に減算してタイミングを計測するタイムアウトステータスレジスタ(TSR)302、接続線4を経由して各プロセッサ5に伝達する試験データDTを蓄積するデータレジスタ(DTR)303、エラーマスキレジスタ(EMR)304、エラーステータスレジスタ(ESR)305、インタラプトステータスレジスタ(ISR)306、登録の要否を確認する対象とする装置アドレスDNを設定する装置アドレスレジスタ(DNR)307。試験装置3aが接続線4を経由して試験データの送受信を実行する対象とするプロセッサ5に付与される装置アドレスDNを、リスナ装置アドレスLDNとして蓄積するリスナ装置アドレスレジスタ(LDNR)308、および試験装置3a自身

方式の如く、被制御装置の構成が異なる度に装置アドレス表300を作成し直す労力が削減可能となる。

(実施例)

以下、本発明の一実施例を図面により説明する。第2図は本発明の一実施例による装置アドレス管理方式を示す図であり、第3図は第2図における装置アドレス表作成過程を例示する図である。なお、全図を通じて同一符号は同一対象物を示す。

第2図においては、第1図における制御装置100として試験装置(TST)3aが設けられ、また第1図における被制御装置200として、電子交換システムを構成する管理プロセッサ(MPR)1およびm台の呼処理プロセッサ(CPR)2(前述の如くプロセッサ5と総称する)とが設けられている。

また試験装置3a内には、第1図における装置アドレス表300として装置アドレス表31が設けられ、また第1図における装置アドレス表作成

に付与されている装置アドレスDN(「0」とする)をトーカ装置アドレスTDNとして蓄積するトーカ装置アドレスレジスタ(TDNR)309が設けられている。

第2図および第3図において、試験装置3aが有る電子交換システムを構成する管理プロセッサ(MPR)1および呼処理プロセッサ(CPR)2に接続線4を介して接続された後、装置アドレス表作成部32が起動される。

起動された装置アドレス表作成部32は、装置アドレスレジスタ307に蓄積される装置アドレスDNを初期値「1」に設定した後(第3図ステップS1)、接続線4内の制御線41にAT信号を送出する(ステップS2)。

AT信号は、制御線41を経由して各プロセッサ5に伝達される。

AT信号を受信した各プロセッサ5は、以後試験装置3aから接続線4内のデータ線42を経由して伝達されるデータを、リスナ装置アドレスLDNおよびトーカ装置アドレスTDNと見做すア

ドレスモードへ移行する（ステップ S 2 1）。

次に装置アドレス表作成部 3 2 は、リスナ装置アドレスレジスタ 3 0 8 およびトーカ装置アドレスレジスタ 3 0 9 にそれぞれ蓄積されるリスナ装置アドレス L D N およびトーカ装置アドレス T D N を初期設定する（ステップ S 3 および S 4）。

次に装置アドレス表作成部 3 2 は、書き込み専用のタイムアウトレジスタ 3 0 1 に予め定められる時間 T を設定する（ステップ S 5）。

次に装置アドレス表作成部 3 2 は、エラーマスクレジスタ 3 0 4 内のタイムアウトビット T O₁ を論理“0”に設定し、プロセッサ 5 の試験データ D T 受信未完了によるタイムアウトによる割込みを可能とする（ステップ S 6）。

次に装置アドレス表作成部 3 2 は、装置アドレスレジスタ 3 0 7 に蓄積されている装置アドレス D N（現在は「1」）をリスナ装置アドレス L D N としてリスナ装置アドレスレジスタ 3 0 8 に蓄積する（ステップ S 7）。

次に装置アドレス表作成部 3 2 は、リスナ装置アドレスレジスタ 3 0 8 に蓄積されているリスナ装置アドレス L D N（＝「1」）を接続線 4 内のデータ線 4 2 に送出し（ステップ S 8）、続いてトーカ装置アドレスレジスタ 3 0 9 に固定的に蓄積されているトーカ装置アドレス T D N（＝「0」）をデータ線 4 2 に送出する（ステップ S 9）。

リスナ装置アドレス L D N およびトーカ装置アドレス T D N は、データ線 4 2 を経由して各プロセッサ 5 に伝達される。

各プロセッサ 5 は、データ線 4 2 から伝達されるリスナ装置アドレス L D N およびトーカ装置アドレス T D N を受信する（ステップ S 2 2 および S 2 3）。

一方トーカ装置アドレス T D N を送出し終えた装置アドレス表作成部 3 2 は、制御線 4 1 に送出中の A T 信号を送出停止した後（ステップ S 1 0）、任意の試験データ D T をデータ線 4 2 に送出する（ステップ S 1 1）。

各プロセッサ 5 は、制御線 4 1 を経由して受信していた A T 信号が停止すると、以後データ線 4

2 を経由して試験装置 3 a から伝達されるデータを、試験データ D T として受信するデータモードへ移行する（ステップ S 2 4）。

次に各プロセッサ 5 は、ステップ S 2 2 において受信したリスナ装置アドレス L D N（＝「1」）と、自己に付与されている固有の装置アドレス D N とを照合する（ステップ S 2 5）。

照合の結果、管理プロセッサ 1 のみは、リスナ装置アドレス L D N と自己の装置アドレス D N（＝「1」）とが一致する為、データ線 4 2 を経由して伝達される試験データ D T を管理プロセッサ 1 宛と見做して受信した後（ステップ S 2 6）、制御線 4 3 を経由して試験装置 3 a に通知する。

一方各呼処理プロセッサ 2 は、リスナ装置アドレス L D N と自己の装置アドレス D N とが一致しない為、データ線 4 2 を経由して伝達される試験データ D T は受信しない。

一方試験データ D T を送出した装置アドレス表作成部 3 2 は、タイムアウトステータスレジスタ 3 0 2 に計時を開始させる。

タイムアウトステータスレジスタ 3 0 2 は計時を開始し、プロセッサ 5 から試験データ D T の受信完了が制御線 4 3 を経由して通知されると（ステップ S 1 2）計時を停止する。

装置アドレス表作成部 3 2 は、タイムアウトステータスレジスタ 3 0 2 の計時を監視し、計時の停止を検出すると、エラーステータスレジスタ 3 0 5 を参照し、タイムアウトビット T O₂ が論理“1”に設定されていないことから（ステップ S 1 5）、試験データ D T が確実に受信され、従ってリスナ装置アドレス L D N に等しい装置アドレス D N を有するプロセッサ 5 が実在すると判定し、装置アドレスレジスタ 3 0 7 に設定されている装置アドレス D N（＝「1」）を装置アドレス表 3 1 に登録する（ステップ S 1 6）。

次に装置アドレス表作成部 3 2 は、エラーマスクレジスタ 3 0 4 内のタイムアウトビット T O₂ を論理“1”に設定し、タイムアウトによる割込みを禁止する（ステップ S 1 7）。

次に装置アドレス表作成部 3 2 は、装置アドレ

スレジスタ307に蓄積されている装置アドレスDNに「1」を加算して「2」とした後(ステップS18)、再びステップS2以降を繰返す。

今回は、試験装置3aからリスナ装置アドレスLDNとして「2」が送出される為(ステップS8)、試験装置3aから送出される試験データDTは呼処理プロセッサ2-1により受信され、受信完了通知を受けた試験装置3aは、装置アドレス表31内に装置アドレスDN=「2」を登録する(ステップS16)。

以下同様にして、試験装置3aが呼処理プロセッサ(CPR)2-mが付与されている装置アドレスDN=nを装置アドレス表31に登録した後、更に装置アドレスDN(=n)に「1」を加算して「n+1」とした後(ステップS18)、ステップS2以降を繰返す。

今回は、試験装置3aから送出されるリスナ装置アドレスLDN(=「n+1」)に一致する装置アドレスDNを付与されるプロセッサ5は、接続線4に接続されていない為、試験装置3aから

送出された試験データDTは何れのプロセッサ5によっても受信されず、タイムアウトステータスレジスタ302が試験データDTの受信完了が通知されぬ状態で所定時間Tが経過すると計時を停止し、エラーステータスレジスタ305のタイムアウトビットTO2を論理「1」に設定する(ステップS14)。

装置アドレス表作成部32は、タイムアウトステータスレジスタ302の計時停止を検出すると、エラーステータスレジスタ305を参照し、タイムアウトビットTO2が論理「1」に設定されていることを確認すると(ステップS15)、データDTは受信されず、従ってリスナ装置アドレスLDN(=「n+1」)に等しい装置アドレスDNを付与されるプロセッサ5が存在しないと判定し、装置アドレスレジスタ307に設定されている装置アドレスDN(=「n+1」)を装置アドレス表31に登録すること無く、エラーマスクレジスタ304内のタイムアウトビットTO2を論理「1」に設定した後(ステップS19)、装置

アドレス表31の作成過程を終了する。

以後試験装置3aは、運転を開始すると、プロセッサ5の何れかに試験データDTを送受信する際に装置アドレス表31を参照し、装置アドレスDNが登録されていることを確認した後に、所要の試験データDTを送受信する。

以上の説明から明らかな如く、本実施例によれば、試験装置3aは運転の開始に際し、各プロセッサ5に対してリスナ装置アドレスLDNを初期値(=「1」)から順次変更し乍ら試験データDTの送信を試み、送信完了した場合には、リスナ装置アドレスLDNとして使用した装置アドレスDNを登録することにより、自動的に装置アドレス表31を作成する。

従って、プロセッサ5の個数が異なる電子交換システムを対象とする場合にも、一々装置アドレス表31を作成する労力は全く不要となる。

なお、第2図および第3図はあく迄本発明の一実施例に過ぎず、例えば本発明の対象となる制御装置100と、被制御装置200とは、図示され

る試験装置3aと、管理プロセッサ1および呼処理プロセッサ2に限定されぬことは言う迄も無い。

(発明の効果)

以上、本発明によれば、前記システムにおいて、システムの運転開始迄に、実在する被制御装置に付与された装置アドレスのみを登録した装置アドレス表が自動的に作成されることとなり、従来ある装置アドレス管理方式の如く、被制御装置の構成が異なる度に装置アドレス表を作成し直す労力が不要となる。

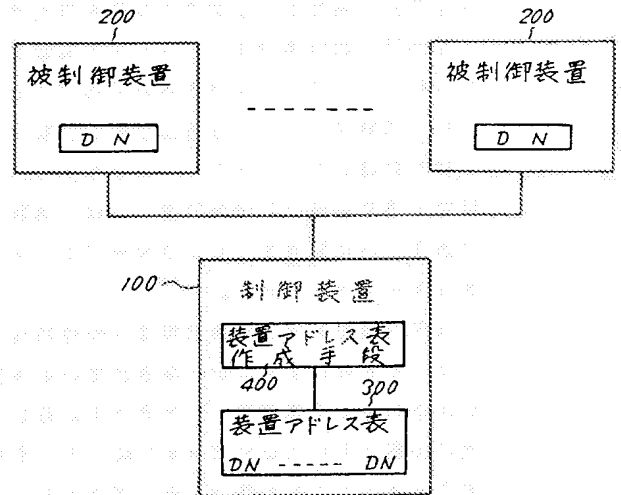
4. 図面の簡単な説明

第1図は本発明の原理を示す図、第2図は本発明の一実施例による装置アドレス管理方式を示す図、第3図は第2図における装置アドレス表作成過程を例示する図、第4図は従来ある装置アドレス管理方式の一例を示す図である。

図において、1は管理プロセッサ(MPR)、2は呼処理プロセッサ(CPR)、3および3a

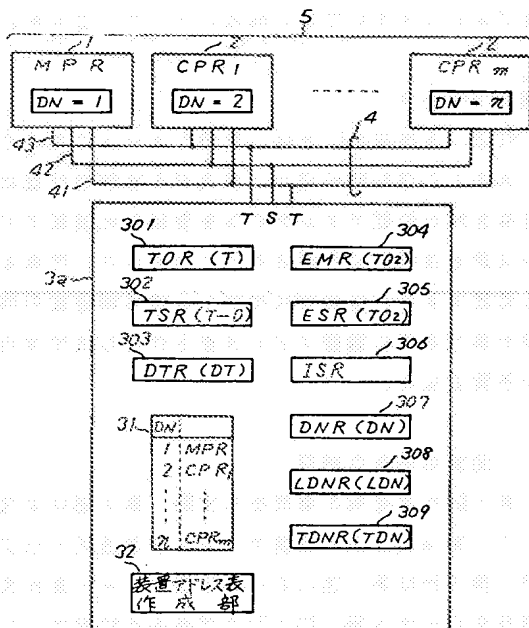
は試験装置 (TST)、4 は接続線、31 および 300 は装置アドレス表、32 は装置アドレス表作成部、41 および 43 は制御線、42 はデータ線、100 は制御装置、200 は被制御装置、301 はタイムアウトレジスタ (TOR)、302 はタイムアウトステータスレジスタ (TSR)、303 はデータレジスタ (DTR)、304 はエラーマスクレジスタ (EMR)、305 はエラーステータスレジスタ (ESR)、306 はインタラプトステータスレジスタ (ISR)、307 は装置アドレスレジスタ (DNR)、308 はリシナ装置アドレスレジスタ (LDNR)、309 はトカ装置アドレスレジスタ (TDNR)、400 は装置アドレス表作成手段、を示す。

代理人 弁理士 井 桁 貞



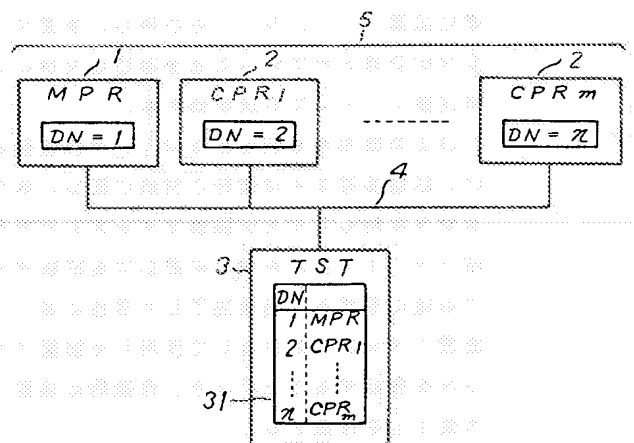
本発明の原理図

第 1 図



本発明による装置アドレス管理方式

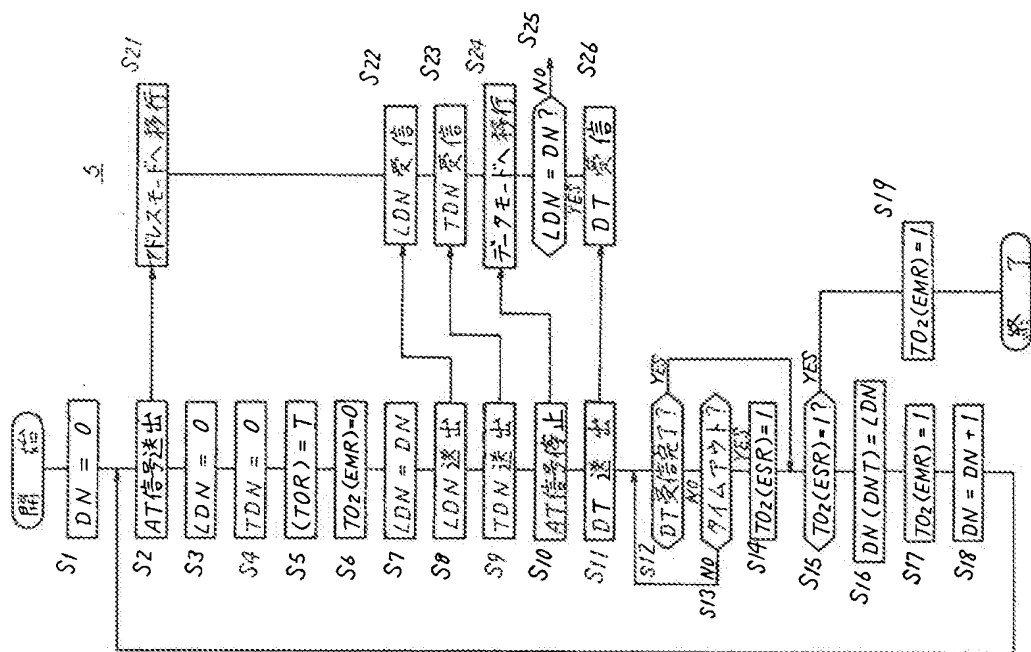
第 2 図



従来ある装置アドレス管理方式

第 4 図

32



第2図における装置アドレス表作成過程
第3図

